

10.12.99

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

FEB 2000

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年12月11日

出 願 番 号

Application Number:

平成10年特許願第352832号

出 願 人

Applicant (s):

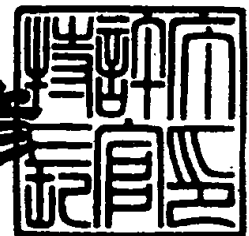
松下電器産業株式会社

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 1月21日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3094659

【書類名】 特許願

【整理番号】 2037900062

【提出日】 平成10年12月11日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/41

【発明の名称】 デブロッキングフィルタ演算装置

【請求項の数】 3

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 大橋 政宏

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 九郎丸 俊一

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 中村 剛

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 大槻 博樹

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(380)5822

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【書類名】 明細書

【発明の名称】 デブロッキングフィルタ演算装置

【特許請求の範囲】

【請求項1】 処理サイクルのカウントを行う制御回路と、

互いに隣接する8つの画素データそれぞれに対して、ブロックノイズ除去のフィルタリング処理のための演算を行う、並列に設けられた8つの演算ブロックと

上記8つの演算ブロックの出力を選択する出力選択回路とを備え、

上記カウント結果に基づく制御回路の出力により、上記8つの演算ブロックのそれぞれの制御と、上記出力選択回路の出力の選択とを行うことを特徴とするデブロッキングフィルタ演算装置。

【請求項2】 請求項1に記載のデブロッキングフィルタ演算装置において

上記8つの演算ブロックは演算を同時に行い、それぞれの演算結果をパイプラインで出力することを特徴とするデブロッキングフィルタ演算装置。

【請求項3】 請求項1または2のいずれか一方に記載のデブロッキングフィルタ演算装置において、

上記各演算ブロックは、

入力信号または値0を選択する第1の選択回路と、

入力信号または値0を選択する第2の選択回路と、

累算するための演算結果または値8を選択する第3の選択回路と、

上記第1の選択回路の出力を入力とする第1のシフタと、

上記第2の選択回路の出力を入力とする第2のシフタと、

上記第1のシフタの出力と、第2のシフタの出力と、第3の選択回路の出力とを加算する加算器と、

該加算器の出力を入力とし、その出力を上記累算するための演算結果として上記第3の選択回路へ出力するレジスタと、

該レジスタの出力を入力とし、その出力を演算結果として上記出力選択回路に出力する第3のシフタとにより構成されることを特徴とするデブロッキングフィ

ルタ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像信号処理等で用いられる復元画素データのポスト処理において、MPEG4で規格化されているデブロッキングフィルタのDCオフセットモードにおける演算を実行するデブロッキングフィルタ演算装置に関するものである。

【0002】

【従来の技術】

動画像データを帯域圧縮技術を用いて符号化及び復号化する方式として、ISO-IEC/JTC1/SC2/WG11にて議論され標準化されたMPEG (Moving Picture Coding Experts Group) 方式がある。これらMPEG方式は、画面内の相関を利用し、画面内を複数画素から構成されるブロックに分割し、このブロック内データを直交変換方式の1つである離散コサイン変換を行い、量子化、ハフマン符号化を行う処理を施し、画像データの圧縮を実現することを基本としている。これらの処理を施した画素は、逆の処理を行っても元の画素を忠実に再現できず、その結果2つの隣り合うブロックの境界部分の画素は異なった値を持つことになる。そして、これによりブロックノイズが発生する。

【0003】

MPEG4ではこの対策としてデブロッキングフィルタが規定されている。このフィルタは、ブロック境界を中心とした1次元のウィンドウを図4のようにとる場合に2種類の動作モードから構成される。図4において、 $g(n)$ (n は0から9までの整数) はブロック境界を中心として互いに隣接する10個の画素の画素データを示している。そして、このフィルタは、ブロック境界近傍画素のアクティビティによりそれらの動作モードを適応的スイッチする。動作モードのスイッチには次の評価関数を用いる。

【0004】

```
f =  $\phi$  {g(0) - g(1)} +  $\phi$  {g(1) - g(2)}
+  $\phi$  {g(2) - g(3)} +  $\phi$  {g(3) - g(4)}
+  $\phi$  {g(4) - g(5)} +  $\phi$  {g(5) - g(6)}
+  $\phi$  {g(6) - g(7)} +  $\phi$  {g(7) - g(8)}
+  $\phi$  {g(8) - g(9)} ;
```

但し、if ($\cdot x \cdot \leq Th1 (=2)$)

$\phi(x) = 1$;

else

$\phi(x) = 0$;

そして、評価関数を用いて動作モードは次のようにスイッチされる。

if ($f \geq Th2 (=6)$)

DCオフセットモード;

else

デフォルトモード;

ここで示されるDCオフセットモードは、ブロック境界の画素データの変化が穏やかな場合の動作モードであり、デフォルトモードは変化が激しい場合の動作モードであり、DCオフセットモードに関しては以下に示すフィルタが定義されている。

coef(9) = {1, 1, 2, 2, 4, 2, 2, 1, 1} ;

そして、次のようなフィルタリング処理を行い、処理画素 $g'(n)$ ($n=1, 2, 3, 4, 5, 6, 7, 8$) を得る。

MAX = max (g(1), g(2), g(3), g(4), g(5), g(6), g(7), g(8)) ;

MIN = min (g(1), g(2), g(3), g(4), g(5), g(6), g(7), g(8)) ;

if ($\cdot MAX - MIN \cdot < 2 * QP$

{

min_padding = $\cdot g(0) - g(1) \cdot < QP ? g(0) : g(1)$

```

;
min_padding = · g (8) - g (9) · < QP ? g (9) : g (8)
;
g' (n) = 0 ;
for (i = -4 ; i < 5 ; i++)
    g' (n) += coef (i+4) *
        (n+i < 1 ? min_padding :
        (n+i > 8 ? max_padding : g (n+i))) ;
g' (n) = nint (g' (n) / 16) ;
else
    g' (n) = g (n) ;

```

このフィルタリングは全ての水平エッジに沿って行い、次に垂直エッジに沿って行う。このフィルタリングにおいて

式(1)

```

for (i = -4 ; i < 5 ; i++)
    g' (n) += coef (i+4) *
        (n+1 < 1 ? min_padding :
        (n+i > 8 ? max_padding : g (n+1))) ;
g' (n) = nint (g' (n) / 16) ;

```

をプロセッサ内の汎用演算器でソフトウェア的に実行すると図3に示すフローとなる。

【0005】

以下、図3に示すフローについて説明する。スタート命令によりまず演算処理する8つの画素のうちの一つのnの値のセットを行う(ステップS1)。次に、iの値をセットする(ステップS2)。次にiが5であるかどうかを比較し(ステップS3)、5でなければnとiを加算する(ステップS4)。そしてステップS5によりn+iが1よりも小さい場合はmin_paddingデータをメモリにライトし、iに1を加算する(ステップS6)。また、n+iが1以上の場合は、ステップS7によりn+iと8を比較し、8よりも大きい場合はmax

—paddingデータをメモリにライトし、 i に1を加算する（ステップS8）。また、 $n+i$ が8以下の場合は、 $g(n+i)$ データをメモリにライトし、 i に1を加算する（ステップS9）。1つの n の値に対しは、これらの動作を i が $-4 \sim 4$ に変化するまで計9回繰り返し、 i が5の時に今までメモリへライトした9つのデータに対しその積和を行い（ステップS10）、結果をステップS11により4ビットシフトすることで、フィルタリング処理した1つの結果、即ちフィルタリング処理した画素データを出力する。

【0006】

【発明が解決しようとする課題】

しかしながら、従来の汎用演算器によるフィルタリング処理においては、1つの n の値に対し、 i を $-4 \sim 4$ の計9回繰り返し1つの結果を出力する。この1つの結果を出力するには最大で67サイクル必要である。また n の値は $1 \sim 8$ の計8個あるため67サイクル \times 8の536サイクル必要となり、演算サイクル数が増加して処理が遅くなるという問題があった。

本発明は上記のような問題点を解決するためになされたものであり、演算サイクルの少ないデブロッキングフィルタ演算装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

この発明に係るデブロッキングフィルタ演算装置は、処理サイクルのカウントを行う制御回路と、互いに隣接する8つの画素データそれぞれに対して、ブロックノイズ除去のフィルタリング処理のための演算を行う、並列に設けられた8つの演算ブロックと、上記8つの演算ブロックの出力を選択する出力選択回路とを備え、上記カウント結果に基づく制御回路の出力により、上記8つの演算ブロックのそれぞれの制御と、上記出力選択回路の出力の選択とを行うようにしたものである。

【0008】

また、上記デブロッキングフィルタ演算装置において、上記8つの演算ブロックは演算を同時に行い、それぞれの演算結果をパイプラインで出力するようにしたものである。

【0009】

また、上記デブロッキングフィルタ演算装置において、上記各演算ブロックは、入力信号または値0を選択する第1の選択回路と、入力信号または値0を選択する第2の選択回路と、累算するための演算結果または値8を選択する第3の選択回路と、上記第1の選択回路の出力を入力とする第1のシフタと、上記第2の選択回路の出力を入力とする第2のシフタと、上記第1のシフタの出力と、第2のシフタの出力と、第3の選択回路の出力とを加算する加算器と、該加算器の出力を入力とし、その出力を上記累算するための演算結果として上記第3の選択回路へ出力するレジスタと、該レジスタの出力を入力とし、その出力を演算結果として上記出力選択回路に出力する第3のシフタとにより構成するようにしたものである。

【0010】

【発明の実施の形態】

図1は、本発明の実施の形態に係るデブロッキングフィルタ演算装置の構造を示すブロック図であり、本実施の形態に係るデブロッキングフィルタ演算装置は、従来の技術において説明した式(1)の演算を行うものであり、図において、制御回路1は0から7までの処理サイクルのカウントを行い、そのカウント値を、フィルタリングの対象となる画素 n (n は1から8までの整数)に対応する演算ブロック101～108、およびこの演算ブロック101～108の出力を選択する出力選択回路7に出力する。演算ブロック101は、外部から入力されるデータである、`max_padding3`、`min_padding4`、実際の画素データである $g(x)5$ 、 $g(x+1)6$ 、及びデータ“0”のうちの少なくとも2つを入力とする第1及び第2の選択回路111、112と、データ“8”及び後述するレジスタ117の出力を入力とする第3の選択回路113と、第1及び第2の選択回路111、112の選択結果をそれぞれシフトさせる第1、第2のシフタ114、115、これらの第1、第2のシフタ114、115の出力と第3の選択回路113の出力とを加算する加算器116、加算器116の出力が入力されるレジスタ117、レジスタ117の出力を入力としてこれをシフトさせて出力選択回路7に出力する第3のシフタ118とを備えている。演算ブ

ロック102～108も、演算ブロック101と同様の構成を有しており、それぞれ第1の選択回路121, 131, 141, 151, 161, 171, 181、及び第2の選択回路122, 132, 142, 152, 162, 172, 182と、第3の選択回路123, 133, 143, 153, 163, 173, 183と、第1のシフタ124, 134, 144, 154, 164, 174, 184、第2のシフタ125, 135, 145, 155, 165, 175, 185、加算器126, 136, 146, 156, 166, 176, 186、レジスタ127, 137, 147, 157, 167, 177, 187、第3のシフタ128, 138, 148, 158, 168, 178, 188とを備えている。出力選択回路7は出力8を出力する。

【0011】

また、図2、図5及び図6は本実施の形態に係るデブロッキングフィルタ演算装置の動作を説明するための図であり、図2は演算ブロック101～104の演算処理結果と制御回路1のカウント値との関係を示し、図5は演算ブロック105～108の演算処理結果と制御回路1のカウント値との関係を示し、図6は各演算ブロック101～108から出力演算回路7への出力と、カウント値との関係を示している。図において、 $n=1\sim 8$ はそれぞれ演算ブロック101～108に対応し、 $M\sim U$ は演算ブロック101～108の演算結果を示している。また、黒丸は入力データである $g(x)_5$ 、 $g(x+1)_6$ 、 $\max_padding_3$ 、 $\min_padding_4$ が入力されることを示している。また、 AU は $g(x)_5$ を示し、 AL は $g(x+1)_6$ を示し、 CRL は $\min_padding_4$ を示し、 CRU は $\max_padding_3$ を示している。また、記号“<<”はビットシフトを示している。

【0012】

以上のように構成されたデブロッキングフィルタ演算装置の動作について図1、図2、図5及び図6を用いて説明する。図1に示す制御回路1は、スタート信号2によりカウントアップを行い0～7までカウントした後は2～7を繰り返し、図2及び図5に示すようにカウンタ値CNTの値が0の場合は画素信号 $g(1)$ 、 $g(2)$ 、CNTの値が1の場合は画素信号 $g(3)$ 、 $g(4)$ 、CNTの

値が2の場合は画素信号 $g(5)$ 、 $g(6)$ 、CNTの値が3の場合は画素信号 $g(7)$ 、 $g(8)$ 、CNTの値が4の場合は画素信号 $g(7)$ 、 $g(8)$ 、CNTの値が5の場合は画素信号 $g(7)$ 、 $g(8)$ 、CNTの値が6の場合は画素信号 $g(9)$ 、 $g(10)$ 、CNTの値が7の場合は画素信号 $g(11)$ 、 $g(12)$ を随時入力させる。

【0013】

演算ブロック101においては、図2に示すように、 $cnt=0$ の場合、 $g(2)$ 、 $g(1)$ が第1、第2の選択回路111、112で選択され、第3の選択回路113では“8”が選択され、第2のシフタ115により入力データが2ビットシフトされ、第1のシフタ114により1ビットシフトされ、第1のシフタ114と第2のシフタ115と第3の選択回路113の出力とが加算器116で加算されて、レジスタ117に格納される。この処理サイクルの演算結果として得られるデータMは図2に示されているように、 $M = AU \ll 2 + AL \ll 1 + 8$ となる。

【0014】

次に $cnt=1$ となると、 $g(4)$ 、 $g(3)$ が第1、第2の選択回路111、112で選択され、第3の選択回路113では $cnt=0$ の際の演算結果であるMがレジスタ117から入力されるのでこれを選択し、第2のシフタ115により入力データが1ビットシフトされ、第1のシフタ114ではビットシフトされず、第1のシフタ114と第2のシフタ115と第3の選択回路113の出力とが加算器116で加算されて、レジスタ117に格納され、この処理サイクルの演算結果として得られるデータMは図2に示されているように、 $M = AU \ll 1 + AL + M$ (但しMは $cnt=0$ の場合の演算結果) となる。

【0015】

次に $cnt=2$ となると、 $min_padding$ 、 $g(5)$ が第1、第2の選択回路111、112で選択され、第3の選択回路113では $cnt=1$ の際の演算結果であるMがレジスタ117から入力されるのでこれを選択し、第2のシフタ115により入力データがビットシフトされず、第1のシフタ114では1ビットシフトされ、第1のシフタ114と第2のシフタ115と第3の選択回

路113の出力とが加算器116で加算されて、レジスタ117に格納され、この処理サイクルの演算結果として得られるデータMは図2に示されているように、 $M = AU + CRL \ll 1 + M$ （但しMは $cnt = 1$ の場合の演算結果）となる。

【0016】

次に $cnt = 3$ となると、 $min_padding$ 、 $min_padding$ が第1、第2の選択回路111、112で選択され、第3の選択回路113では $cnt = 2$ の際の演算結果であるMがレジスタ117から入力されるのでこれを選択し、第2のシフタ115により入力データが1ビットシフトされ、第1のシフタ114では1ビットシフトされ、第1のシフタ114と第2のシフタ115と第3の選択回路113の出力とが加算器116で加算されて、レジスタ117に格納され、この処理サイクルの演算結果として得られるデータMは図2に示されているように、 $M = CRL \ll 1 + CRL \ll 1 + M$ （但しMは $cnt = 2$ の場合の演算結果）となる。

【0017】

このように、図2に示されているような演算を $cnt = 3$ となるまで繰り返し行うことにより、演算ブロック101の合計4サイクルからなる演算の最終的な演算結果である、 $8 + min_padding + min_padding + min_padding \ll 1 + min_padding \ll 1 + g(1) \ll 2 + g(2) \ll 1 + g(3) \ll 1 + g(4) + g(5)$ を第3のシフタ118により4ビット右シフトさせて出力する。

この演算ブロック101はその後、カウンタが2処理サイクルをカウントした時点から上記と同様の処理を繰り返す。

【0018】

以下、同様に $n = 2 \sim 8$ においても同様の構成を有する演算ブロック102～108により、カウント値に基づいて、図2及び図5に示すような動作を行う。

ここで、上記各演算ブロック101～108の動作について詳細に説明する。

【0019】

まず、 $n = 1$ に対応する演算ブロックである演算ブロック101において、従来

の技術において説明した式(1)の n は1であり、 i の値を $-4 \sim 4$ まで変化させた場合の式(1)の値は、 $i = -4$ の場合は $1 \times \text{min_padding}$ 、 $i = -3$ の場合は $1 \times \text{min_padding}$ 、 $i = -2$ の場合は $2 \times \text{min_padding}$ 、 $i = -1$ の場合は $2 \times \text{min_padding}$ 、 $i = 0$ の場合は $4 \times g(1)$ 、 $i = 1$ の場合は $2 \times g(2)$ 、 $i = 2$ の場合は $2 \times g(3)$ 、 $i = 3$ の場合は $1 \times g(4)$ 、 $i = 4$ の場合は $1 \times g(5)$ となる。

【0020】

この中で $i = -4$ と $i = -3$ の場合はまとめて $2 \times \text{min_padding}$ で表され $i = 4$ の $g(5)$ との加算を行う。これが、図2の $\text{cnt} = 2$ の結果である、 $\text{AU} + \text{CRL} \ll 1$ に相当する。 $i = -2$ と $i = -1$ の場合はまとめて $2 \times \text{min_padding} + 2 \times \text{min_padding}$ 、即ち図2の $\text{cnt} = 3$ 、 $\text{CRL} \ll 1 + \text{CRL} \ll 1$ で表され、 $i = 0$ と $i = 1$ の場合はまとめて $4 \times g(1) + 2 \times g(2)$ 、即ち、図2の $\text{cnt} = 0$ 、 $\text{AU} \ll 2 + \text{AL} \ll 1$ で表され、 $i = 2$ と $i = 3$ の場合はまとめて $2 \times g(3) + 1 \times g(4)$ 、即ち図2の $\text{cnt} = 1$ 、 $\text{AU} \ll 1 + \text{AL}$ で表される。但し図2の M はレジスタ117の出力であり、また $\text{CNT} = 0$ の+8は丸めを行うための値であり、丸めなしの場合は0を入力すれば良い。このように CNT の値によりセクタ111、112、113およびシフト114、115を制御し、上記の演算を実行し、最後である $\text{CNT} = 4$ の時にシフト118をシフトすることで演算結果として $n = 1$ の画素にフィルタリング処理を行った結果を出力する。このように、演算ブロック101において図2に示すような演算を行う結果、 i を -4 から 4 まで順次変化させて $n = 1$ について9サイクルの演算を行う場合よりも、少ないサイクルで本来の演算結果と同じ結果を得ることができる。

【0021】

また、 $n = 2$ に対応する演算ブロックである演算ブロック102において、従来の技術において説明した式(1)の n は2であり、 i の値を $-4 \sim 4$ まで変化させた場合の式(1)の値は、

【0022】

【数1】

$n=2$

$i=-4$

$g(2) += \text{coef}(0) \times \text{min_padding}$
 $= 1 \times \text{CRL}$

$i=-3$

$g(2) += \text{coef}(1) \times \text{min_padding}$
 $= 1 \times \text{CRL}$

$i=-2$

$g(2) += \text{coef}(2) \times \text{min_padding}$
 $= 2 \times \text{CRL}$

$i=-1$

$g(2) += \text{coef}(3) \times g(1)$
 $= 2 \times \text{AU}$

$i=0$

$g(2) += \text{coef}(4) \times g(2)$
 $= 4 \times \text{AL}$

$i=1$

$g(2) += \text{coef}(5) \times g(3)$
 $= 2 \times \text{AU}$

$i=2$

$g(2) += \text{coef}(6) \times g(4)$
 $= 2 \times \text{AL}$

$i=3$

$g(2) += \text{coef}(7) \times g(5)$
 $= 1 \times \text{AU}$

$i=4$

$g(2) += \text{coef}(8) \times g(6)$
 $= 1 \times \text{AL}$

【0023】

となる。この中で、 $i = -1$ と $i = 0$ とをまとめると $2 \times g(1) + 4 \times g(2)$ となり、図2の $\text{CNT} = 0$ のサイクルにおける $\text{AU} \ll 1 + \text{AL} \ll 2$ で表わ

され、 $i = 1$ と $i = 2$ とをまとめると $2 \times g(3) + 2 \times g(4)$ となり、図2の $CNT = 1$ のサイクルにおける $AU < 1 + AL < 1$ で表わされ、 $i = 3$ と $i = 4$ とをまとめると $1 \times g(5) + 1 \times g(6)$ となり、図2の $CNT = 2$ のサイクルにおける $AU + AL$ で表わされ、 $i = -2$ と $i = -3$ と $i = -4$ とをまとめると $2 \times \text{min_padding} + 2 \times \text{min_padding}$ となり、図2の $CNT = 3$ のサイクルにおける $CRL < 1 + CRL < 1$ で表わされる。但し図2の N はレジスタ127の直前のサイクルの出力であり、また $CNT = 0$ の+8は丸めを行うための値であり、丸めなしの場合は0を入力すれば良い。このように CNT の値によりセクタ121、122、123およびシフト124、125を制御し、演算ブロック102において図2に示すような演算を行う結果、 i を-4から4まで順次変化させて $n = 2$ について9サイクルの演算を行う場合よりも、少ないサイクルで本来の演算結果と同じ結果を得ることができる。

【0024】

また、 $n = 3$ に対応する演算ブロックである演算ブロック103において、従来の技術において説明した式(1)の n は3であり、 i の値を-4~4まで変化させた場合の式(1)の値は、

【0025】

【数2】

$n=3$

$i=-4$

$g(3) += \text{coef}(0) \times \text{min_padding}$
 $= 1 \times \text{CRL}$

$i=-3$

$g(3) += \text{coef}(1) \times \text{min_padding}$
 $= 1 \times \text{CRL}$

$i=-2$

$g(3) += \text{coef}(2) \times g(1)$
 $= 2 \times \text{AU}$

$i=-1$

$g(3) += \text{coef}(3) \times g(2)$
 $= 2 \times \text{AL}$

$i=0$

$g(3) += \text{coef}(4) \times g(3)$
 $= 4 \times \text{AU}$

$i=1$

$g(3) += \text{coef}(5) \times g(4)$
 $= 2 \times \text{AL}$

$i=2$

$g(3) += \text{coef}(6) \times g(5)$
 $= 2 \times \text{AU}$

$i=3$

$g(3) += \text{coef}(7) \times g(6)$
 $= 1 \times \text{AL}$

$i=4$

$g(3) += \text{coef}(8) \times g(7)$
 $= 1 \times \text{AU}$

【0026】

となる。この中で、 $i=-2$ と $i=-1$ とをまとめると $2 \times g(1) + 2 \times g(2)$ となり、図2の $\text{CNT}=0$ のサイクルにおける $\text{AU} \ll 1 + \text{AL} \ll 1$ で表

わされ、 $i = 0$ と $i = 1$ とをまとめると $4 \times g(3) + 2 \times g(4)$ となり、図2の $CNT = 1$ のサイクルにおける $AU < 2 + AL < 1$ で表わされ、 $i = 2$ と $i = 3$ とをまとめると $2 \times g(5) + 1 \times g(6)$ となり、図2の $CNT = 2$ のサイクルにおける $AU < 2 + AL$ で表わされ、 $i = 4$ と $i = -4$ とをまとめると $1 \times g(7) + 1 \times \text{min_padding}$ となり、図2の $CNT = 3$ のサイクルにおける $AU + CRL$ で表わされ、 $i = -3$ は $1 \times \text{min_padding}$ で、図2の $CNT = 4$ のサイクルにおける CRL で表わされる。但し図2のPはレジスタ137の直前のサイクルの出力であり、また $CNT = 0$ の+8は丸めを行うための値であり、丸めなしの場合は0を入力すれば良い。このようにCNTの値によりセレクタ131、132、133およびシフタ134、135を制御し、演算ブロック103において図2に示すような演算を行う結果、 i を-4から4まで順次変化させて $n = 3$ について9サイクルの演算を行う場合よりも、少ないサイクルで本来の演算結果と同じ結果を得ることができる。

【0027】

また、 $n = 4$ に対応する演算ブロックである演算ブロック104において、従来の技術において説明した式(1)の n は4であり、 i の値を-4~4まで変化させた場合の式(1)の値は、

【0028】

【数3】

```

n=4

i=-4
g(3)+=coef(0)×min_padding
      =1×CRL

i=-3
g(3)+=coef(1)×g(1)
      =1×AU

i=-2
g(3)+=coef(2)×g(2)
      =2×AL

i=-1
g(3)+=coef(3)×g(3)
      =2×AU

i=0
g(3)+=coef(4)×g(4)
      =4×AL

i=1
g(3)+=coef(5)×g(5)
      =2×AU

i=2
g(3)+=coef(6)×g(6)
      =2×AL

i=3
g(3)+=coef(7)×g(7)
      =1×AU

i=4
g(3)+=coef(8)×g(8)
      =1×AL
    
```

【0029】

となる。この中で、 $i = -3$ と $i = -2$ とをまとめると $1 \times g(1) + 2 \times g(2)$ となり、図2の $CNT = 0$ のサイクルにおける $AU + AL \ll 1$ で表わされ、 $i = -1$ と $i = 0$ とをまとめると $2 \times g(3) + 4 \times g(4)$ となり、図2の

CNT=1のサイクルにおける $AU < 1 + AL < 2$ で表わされ、 $i=1$ と $i=2$ とをまとめると $2 \times g(5) + 2 \times g(6)$ となり、図2のCNT=2のサイクルにおける $AU < 1 + AL < 1$ で表わされ、 $i=3$ と $i=4$ とをまとめると $1 \times g(7) + 1 \times g(8)$ となり、図2のCNT=3のサイクルにおける $AU + AL$ で表わされ、 $i=-4$ は $1 \times \text{min_padding}$ で、図2のCNT=4のサイクルにおけるCRLで表わされる。但し図2のQはレジスタ147の直前のサイクルの出力であり、またCNT=0の+8は丸めを行うための値であり、丸めなしの場合は0を入力すれば良い。このようにCNTの値によりセクタ141、142、143およびシフタ144、145を制御し、演算ブロック104において図2に示すような演算を行う結果、 i を-4から4まで順次変化させて $n=4$ について9サイクルの演算を行う場合よりも、少ないサイクルで本来の演算結果と同じ結果を得ることができる。

【0030】

また、 $n=5$ に対応する演算ブロックである演算ブロック105において、従来の技術において説明した式(1)の n は5であり、 i の値を-4~4まで変化させた場合の式(1)の値は、

【0031】

【数4】

```

n=5

i=-4
  g(3)+=coef(0)×g(1)
      =1×AU
i=-3
  g(3)+=coef(1)×g(2)
      =1×AL
i=-2
  g(3)+=coef(2)×g(3)
      =2×AU
i=-1
  g(3)+=coef(3)×g(4)
      =2×AL
i=0
  g(3)+=coef(4)×g(5)
      =4×AU
i=1
  g(3)+=coef(5)×g(6)
      =2×AL
i=2
  g(3)+=coef(6)×g(7)
      =2×AU
i=3
  g(3)+=coef(7)×g(8)
      =1×AL
i=4
  g(3)+=coef(8)×max_padding
      =1×CRU

```

【0032】

となる。この中で、 $i = -4$ と $i = -3$ とをまとめると $1 \times g(1) + 1 \times g(2)$ となり、図5の $CNT = 0$ のサイクルにおける $AU + AL$ で表わされ、 $i = -2$ と $i = -1$ とをまとめると $2 \times g(3) + 2 \times g(4)$ となり、図5の CN

T=1のサイクルにおける $AU \ll 2 + AL \ll 1$ で表わされ、 $i=0$ と $i=1$ とをまとめると $4 \times g(5) + 2 \times g(6)$ となり、図5のCNT=2のサイクルにおける $AU \ll 2 + AL \ll 1$ で表わされ、 $i=2$ と $i=3$ とをまとめると $2 \times g(7) + 1 \times g(8)$ となり、図5のCNT=3のサイクルにおける $AU \ll 1 + AL$ で表わされ、 $i=4$ は $1 \times \text{max_padding}$ で、図5のCNT=4のサイクルにおけるCRUで表わされる。但し図5のPはレジスタ157の直前のサイクルの出力であり、またCNT=0の+8は丸めを行うための値であり、丸めなしの場合は0を入力すれば良い。このようにCNTの値によりセクタ151、152、153およびシフタ154、155を制御し、演算ブロック105において図5に示すような演算を行う結果、 i を-4から4まで順次変化させて $n=5$ について9サイクルの演算を行う場合よりも、少ないサイクルで本来の演算結果と同じ結果を得ることができる。

【0033】

また、 $n=6$ に対応する演算ブロックである演算ブロック106において、従来の技術において説明した式(1)の n は6であり、 i の値を-4~4まで変化させた場合の式(1)の値は、

【0034】

【数5】

```

n=6

i=-4
  g(3)+=coef(0)×g(2)
    =1×AL
i=-3
  g(3)+=coef(1)×g(3)
    =1×AU
i=-2
  g(3)+=coef(2)×g(4)
    =2×AL
i=-1
  g(3)+=coef(3)×g(5)
    =2×AU
i=0
  g(3)+=coef(4)×g(6)
    =4×AL
i=1
  g(3)+=coef(5)×g(7)
    =2×AU
i=2
  g(3)+=coef(6)×g(8)
    =2×AL
i=3
  g(3)+=coef(7)×max_padding
    =1×CRU
i=4
  g(3)+=coef(8)×max_padding
    =1×CRU

```

【0035】

となる。この中で、 $i = -4$ は $1 \times g(2)$ で、図5の $CNT = 0$ のサイクルにおける AL で表わされ、 $i = -3$ と $i = -2$ とをまとめると $1 \times g(3) + 2 \times g(4)$ となり、図5の $CNT = 1$ のサイクルにおける $AU + AL < 1$ で表わ

され、 $i = -1$ と $i = 0$ とをまとめると $2 \times g(5) + 4 \times g(6)$ となり、図5の $CNT = 2$ のサイクルにおける $AU < 1 + AL < 2$ で表わされ、 $i = 1$ と $i = 2$ とをまとめると $2 \times g(7) + 2 \times g(8)$ となり、図5の $CNT = 3$ のサイクルにおける $AU < 1 + AL < 1$ で表わされ、 $i = 3$ と $i = 4$ とをまとめると $1 \times \max_padding + 1 \times \max_padding$ となり、図5の $CNT = 4$ のサイクルにおける $CRU + CRU$ で表わされる。但し図5の S はレジスタ167の直前のサイクルの出力であり、また $CNT = 0$ の+8は丸めを行うための値であり、丸めなしの場合は0を入力すれば良い。このように CNT の値によりセレクタ161、162、163およびシフタ164、165を制御し、演算ブロック106において図5に示すような演算を行う結果、 i を-4から4まで順次変化させて $n = 6$ について9サイクルの演算を行う場合よりも、少ないサイクルで本来の演算結果と同じ結果を得ることができる。

【0036】

また、 $n = 7$ に対応する演算ブロックである演算ブロック107において、従来の技術において説明した式(1)の n は2であり、 i の値を-4~4まで変化させた場合の式(1)の値は、

【0037】

【数6】

```

n=7

i=-4
  g(3)+=coef(0)×g(3)
      =1×AU
i=-3
  g(3)+=coef(1)×g(4)
      =1×AL
i=-2
  g(3)+=coef(2)×g(5)
      =2×AU
i=-1
  g(3)+=coef(3)×g(6)
      =2×AL
i=0
  g(3)+=coef(4)×g(7)
      =4×AU
i=1
  g(3)+=coef(5)×g(8)
      =2×AL
i=2
  g(3)+=coef(6)×max_padding
      =2×CRU
i=3
  g(3)+=coef(7)×max_padding
      =1×CRU
i=4
  g(3)+=coef(8)×max_padding
      =1×CRU

```

【0038】

となる。この中で、 $i = -4$ と $i = -3$ とをまとめると $1 \times g(3) + 1 \times g($

4) となり、図5のCNT=1のサイクルにおけるAU+ALで表わされ、 $i = -2$ と $i = -1$ とをまとめると $2 \times g(5) + 2 \times g(6)$ となり、図5のCNT=2のサイクルにおける $AU < 1 + AL < 1$ で表わされ、 $i = 0$ と $i = 1$ とをまとめると $4 \times g(7) + 2 \times g(8)$ となり、図5のCNT=3のサイクルにおける $AU < 2 + AL < 1$ で表わされ、 $i = 2$ と $i = 3$ とをまとめると $2 \times \text{max_padding} + 1 \times \text{max_padding}$ となり、図5のCNT=4のサイクルにおける $CRU < 1 + CRU$ で表わされ、 $i = 4$ は $1 \times \text{max_padding}$ となり、図5のCNT=5のサイクルにおけるCRUで表わされる。但し図5のTはレジスタ177の直前のサイクルの出力であり、またCNT=1の+8は丸めを行うための値であり、丸めなしの場合は0を入力すれば良い。このようにCNTの値によりセクタ171、172、173およびシフタ174、175を制御し、演算ブロック107において図5に示すような演算を行う結果、 i を-4から4まで順次変化させて $n = 7$ について9サイクルの演算を行う場合よりも、少ないサイクルで本来の演算結果と同じ結果を得ることができる。

【0039】

また、 $n = 8$ に対応する演算ブロックである演算ブロック108において、従来の技術において説明した式(1)の n は8であり、 i の値を-4~4まで変化させた場合の式(1)の値は、

【 0 0 4 0 】

【数 7】

```

n=8

i=-4
  g(3) += coef(0) × g(4)
        = 1 × AL
i=-3
  g(3) += coef(1) × g(5)
        = 1 × AU
i=-2
  g(3) += coef(2) × g(6)
        = 2 × AL
i=-1
  g(3) += coef(3) × g(7)
        = 2 × AU
i=0
  g(3) += coef(4) × g(8)
        = 4 × AL
i=1
  g(3) += coef(5) × max_padding
        = 2 × CRU
i=2
  g(3) += coef(6) × max_padding
        = 2 × CRU
i=3
  g(3) += coef(7) × max_padding
        = 1 × CRU
i=4
  g(3) += coef(8) × max_padding
        = 1 × CRU

```

【 0 0 4 1 】

となる。この中で、 $i = -4$ は $1 \times g(4)$ となり、図 5 の $CNT = 1$ のサイクルにおける AL で表わされ、 $i = -3$ と $i = -2$ とをまとめると $1 \times g(5) +$

$2 \times g(6)$ となり、図5の $CNT=2$ のサイクルにおける $AU + AL < 1$ で表わされ、 $i = -1$ と $i = 0$ とをまとめると $2 \times g(7) + 4 \times g(8)$ となり、図5の $CNT=3$ のサイクルにおける $AU < 1 + AL < 2$ で表わされ、 $i = 1$ と $i = 2$ とをまとめると $2 \times \max_padding + 2 \times \max_padding$ となり、図5の $CNT=4$ のサイクルにおける $CRU < 1 + CRU < 1$ で表わされ、 $i = 3$ と $i = 4$ とをまとめると $1 \times \max_padding + 1 \times \max_padding$ となり、図5の $CNT=5$ のサイクルにおける $CRU + CRU$ で表わされる。但し図5の U はレジスタ187の直前のサイクルの出力であり、また $CNT=1$ の $+8$ は丸めを行うための値であり、丸めなしの場合は0を入力すれば良い。このように CNT の値によりセクタ181、182、183およびシフト184、185を制御し、演算ブロック108において図5に示すような演算を行う結果、 i を -4 から 4 まで順次変化させて $n=8$ について9サイクルの演算を行う場合よりも、少ないサイクルで $n=8$ についての演算結果と同じ結果を得ることができる。

【0042】

以上のように、演算ブロック101～108において、図5に示すように演算処理をおこなうことにより、 $n=1 \sim 8$ のそれぞれの場合について従来の技術において示した式(1)の演算を行った場合の結果と同じ演算結果を、従来の技術よりも少ないサイクルで得ることができる。

【0043】

そして、図6に示すように、この各演算ブロック101～108の演算結果を、 $CNT=4$ の時に演算ブロック101、102から得られる $n=1$ と $n=2$ の値を一緒にして出力し、 $CNT=5$ の時に演算ブロック103、104から得られる $n=3$ と $n=4$ の値を一緒にして出力し、 $CNT=6$ の時に演算ブロック105、106から得られる $n=5$ と $n=6$ の値を一緒にして出力し、 $CNT=7$ の時に演算ブロック107、108から得られる $n=7$ と $n=8$ の値を一緒にして出力する。これによりデブロッキングフィルタリング処理した画素データを得ることができる。

【0044】

このように、本実施の形態においては、上述した式(1)に示す各画素 n についての $i = -4 \sim 4$ まで変化させる演算を、各演算ブロック101~108によって、従来のサイクル数に比べて大幅に少ないサイクルで行うことができるとともに、2つの演算ブロックにより演算を同時に行い、2つの演算ブロックの演算結果をパイプライン方式で出力するようにしたことにより、結果的にサイクル数の大幅な削減が可能となる。

【0045】

【発明の効果】

以上のように、この発明によれば、処理サイクルのカウントを行う制御回路と、互いに隣接する8つの画素データそれぞれに対して、ブロックノイズ除去のフィルタリング処理のための演算を行う、並列に設けられた8つの演算ブロックと、上記8つの演算ブロックの出力を選択する出力選択回路とを備え、上記カウント結果に基づく制御回路の出力により、上記8つの演算ブロックのそれぞれの制御と、上記出力選択回路の出力の選択とを行うようにしたから、デブロッキングフィルタの演算を専用回路で処理することができ、演算処理のサイクルの削減を図ることができる効果がある。

【0046】

また、この発明によれば、上記8つの演算ブロックは演算を同時に行い、それぞれの演算結果をパイプラインで出力するようにしたから、演算処理のサイクルの削減を図ることができる効果がある。

【0047】

また、この発明によれば、上記各演算ブロックは、入力信号または値0を選択する第1の選択回路と、入力信号または値0を選択する第2の選択回路と、累算するための演算結果または値8を選択する第3の選択回路と、上記第1の選択回路の出力を入力とする第1のシフタと、上記第2の選択回路の出力を入力とする第2のシフタと、上記第1のシフタの出力と、第2のシフタの出力と、第3の選択回路の出力とを加算する加算器と、該加算器の出力を入力とし、その出力を上記累算するための演算結果として上記第3の選択回路へ出力するレジスタと、該

レジスタの出力を入力とし、その出力を演算結果として上記出力選択回路に出力する第3のシフタとにより構成するようにしたから、各画素データに対するフィルタリング処理の演算のサイクルを削減することができ、大幅に演算処理のサイクルを削減することができる効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係るデブロッキングフィルタ演算装置のブロック図である。

【図2】 本発明の実施の形態に係るデブロッキングフィルタ演算装置の $n = 1 \sim 4$ に対応した演算ブロックによる動作を説明するための図である。

【図3】 従来のデブロッキングフィルタ演算装置の動作を示すフロー図である。

【図4】 従来のデブロッキングフィルタ演算装置の動作を説明するための、ブロック境界を中心とした1次元のウィンドウ図である。

【図5】 本発明の実施の形態に係るデブロッキングフィルタ演算装置の $n = 5 \sim 8$ に対応した演算ブロックによる動作を説明するための図である。

【図6】 本発明の実施の形態に係るデブロッキングフィルタ演算装置の出力動作を説明するための図である。

【符号の説明】

- 1 制御回路
- 2 スタート信号
- 3 max_paddingデータ
- 4 min_paddingデータ
- 5 画素信号 $g(x)$
- 6 画素信号 $g(x+1)$
- 7 出力選択回路
- 8 出力信号

101～108 演算ブロック

111, 121, 131, 141, 151, 161, 171, 181 第1

の選択回路

112, 122, 132, 142, 152, 162, 172, 182 第2

の選択回路

113, 123, 133, 143, 153, 163, 173, 183 第3

の選択回路

114, 124, 134, 144, 154, 164, 174, 184 第1

のシフタ

115, 125, 135, 145, 155, 165, 175, 185 第2

のシフタ

116, 126, 136, 146, 156, 166, 176, 186 加算

器

117, 127, 137, 147, 157, 167, 177, 187 レジ

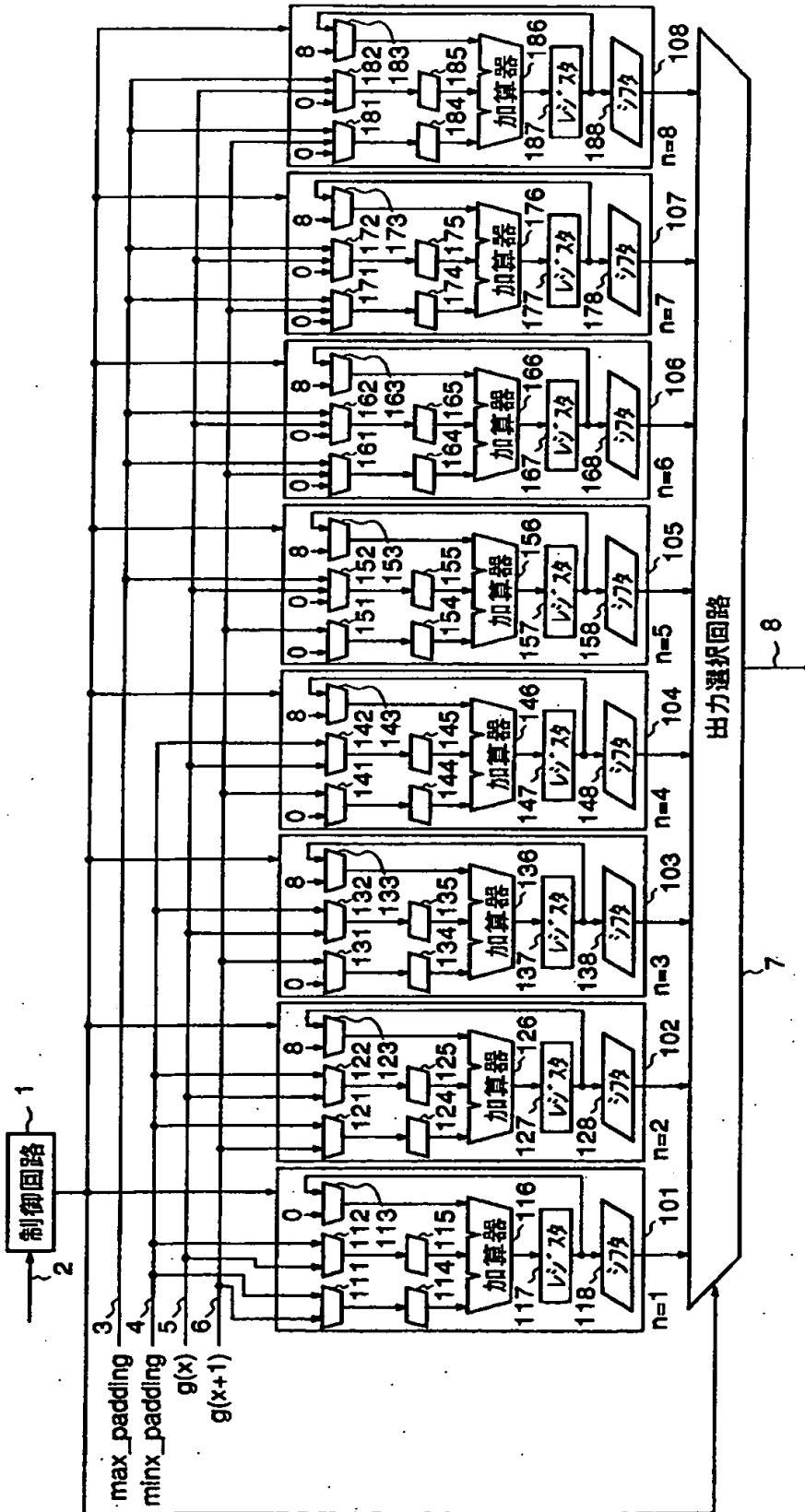
スタ

118, 128, 138, 148, 158, 168, 178, 188 第3

のシフタ

【書類名】 図面

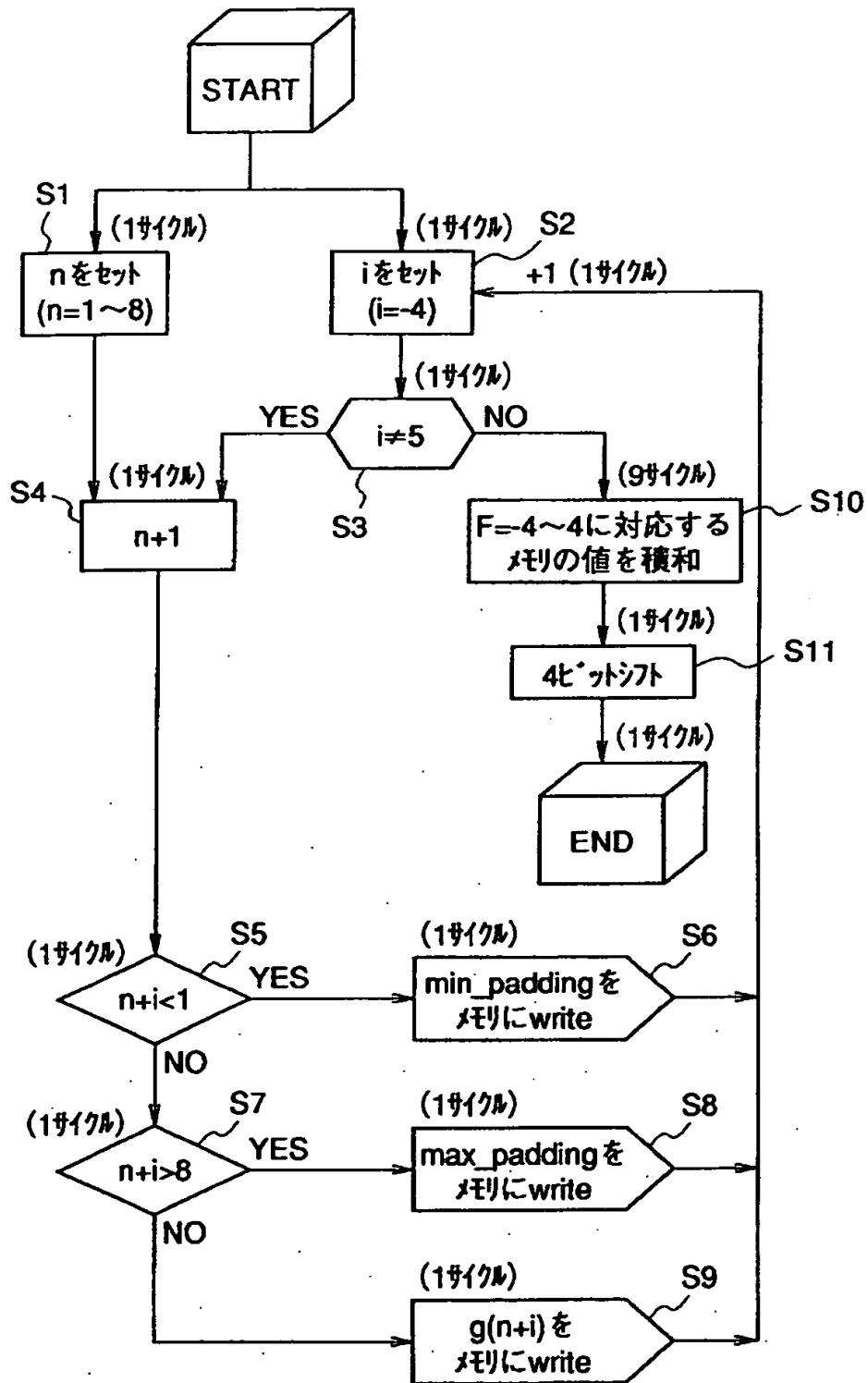
【図 1】



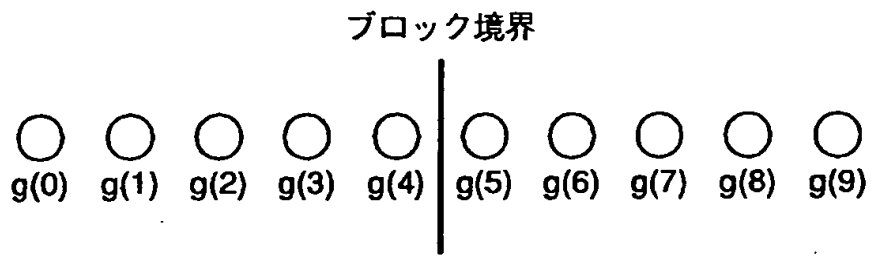
2: スタート信号
 111~113, 121~123, 131~133, 141~143, 151~153, 161~163, 171~173, 181~183: 選択回路
 114, 115, 124, 125, 134, 135, 144, 145, 154, 155, 164, 165, 174, 175, 184, 185: シフト



【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 演算サイクルの少ないデブロッキングフィルタ演算装置を提供することを課題とする。

【解決手段】 処理サイクルのカウントを行う制御回路1と、互いに隣接する8つの画素データそれぞれに対して、ブロックノイズ除去のフィルタリング処理のための演算を行う、並列に設けられた8つの演算ブロック101～108と、8つの演算ブロック101～108の出力を選択する出力選択回路7とを備え、上記カウント結果に基づく制御回路1の出力により、上記8つの演算ブロック101～108のそれぞれの制御と、上記出力選択回路7の出力の選択とを行うようにした。

【選択図】 図1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005821

【住所又は居所】

大阪府門真市大字門真 1006 番地

【氏名又は名称】

松下電器産業株式会社

【代理人】

申請人

【識別番号】

100081813

【住所又は居所】

大阪府吹田市江の木町 17 番 1 号 江坂全日空ビル

8 階 早瀬特許事務所

【氏名又は名称】

早瀬 憲一

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社